

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

[11]公告編號：451390

[44]中華民國 90年(2001) 08月21日
發明

全 9 頁

第[61] Int.Cl 06: H01L21/76 號
 初審
 再審 (訴願) 引証附件

[54]名稱：形成SOI嵌入式動態隨機存取記憶體之溝渠的方法

[21]申請案號：089105191 [22]申請日期：中華民國 89年(2000) 03月21日

[30]優先權：[31]09/334,094 [32]1999/06/16 [33]美國

[72]發明人：

馬克查爾斯哈基 美國
馬曉連(威廉) 美國

[71]申請人：

萬國商業機器公司 美國

[74]代理人：蔡坤財先生

1

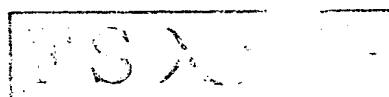
2

[57]申請專利範圍：

1. 一種形成嵌入式邏輯動態隨機存取記憶體裝置之方法，該裝置具有位於絕緣層上含矽(silicon-on-insulator: SOI)中之溝渠，且該溝渠並未蝕刻至該SOI基板之埋入氧化層(buried oxide: BOX)中，該方法至少包含下列步驟：
 - (a) 提供一具有埋入氧化層之SOI基板，該SOI基板更包含選定之陣列元件區域及選定之邏輯元件區域；
 - (b) 形成一絕緣層於該SOI基板之表面上；
 - (c) 形成一光阻層於位於該選定之邏輯元件區域上方之該絕緣層；
 - (d) 蝕刻位於該選定之陣列元件區域中之該絕緣層；
 - (e) 蝕刻該SOI基板並穿過該選定之陣列元件區域中之埋入氧化層；
 - (f) 移除位於該選定之邏輯元件區域上方之該光阻層；
 - (g) 形成一磊晶矽層於該選定之陣列元

件區域中的蝕刻區域：

- (h) 形成一溝渠於該SOI基板之該選定之陣列元件區域中。
2. 如申請專利範圍第1項所述之方法，其中上述埋入氧化層之厚度約為800至5000埃。
3. 如申請專利範圍第1項所述之方法，其中上述絕緣層至少包含一氧化層或一氮化層。
5. 10. 4. 如申請專利範圍第1項所述之方法，其中上述絕緣層及上述光阻層係以自化學氣相沉積法、電漿輔助化學氣相沉積法、濺鍍法及旋塗法所組成之族群中所選出的沉積法所形成的。
15. 5. 如申請專利範圍第1項所述之方法，其中上述步驟(c)至少包含微影及蝕刻步驟。
6. 如申請專利範圍第1項所述之方法，其中上述步驟(d)及(e)至少包含自反應性離子蝕刻法、電漿蝕刻法及離子束蝕
- 20.



刻法所組成之族群中所選出的乾蝕刻步驟。

7.如申請專利範圍第6項所述之方法，其中上述步驟(d)及(e)至少包含反應性離子蝕刻。

8.如申請專利範圍第1項所述之方法，其中上述磊晶矽層係由沉積形成的。

9.如申請專利範圍第1項所述之方法，其中上述步驟(f)至少包含一化學蝕刻劑之使用，該化學蝕刻劑對於移除上述光阻層具有高選擇性。

10.如申請專利範圍第1項所述之方法，其中上述溝渠係以微影及蝕刻形成的。

11.如申請專利範圍第1項所述之方法，更包含以溝渠填充物質填滿上述溝渠之步驟。

12.一種形成嵌入式邏輯動態隨機存取記憶體裝置之方法，該裝置具有位於絕緣層上含矽(silicon-on-insulator：SOI)中之溝渠，且該溝渠並未蝕刻至該SOI基板之埋入氧化層(buried oxide：BOX)中，該方法至少包含下列步驟：

- (a)提供一具有絕緣層於其上之矽基板，該矽基板更包含選定之陣列元件區域及選定之邏輯元件區域；
- (b)形成一光阻層於該絕緣層上；
- (c)提供一開口，該開口位於該光阻層及該選定之陣列元件區域中；
- (d)經由該開口蝕刻一溝渠至該矽基板中；
- (e)移除該光阻層；
- (f)以一溝渠填充物填滿該溝渠；
- (g)移除該絕緣層；
- (h)形成一犧牲氧化層於該矽基板上；
- (i)形成一連續之埋入氧化層於該矽基板中；
- (j)提供一平坦之結構；且
- (k)移除該溝渠中之該溝渠填充物及該埋入氧化層。

13.如申請專利範圍第12項所述之方法，其中上述絕緣層至少包含一氧化層或一氮化層。

14.如申請專利範圍第12項所述之方法，5. 其中上述絕緣層及上述光阻層係以自化學氣相沉積法、電漿輔助化學氣相沉積法、濺鍍法及旋塗法所組成之族群中所選出的沉積法所形成的。

15.如申請專利範圍第12項所述之方法，10. 其中上述開口係以自反應性離子蝕刻法、電漿蝕刻法及離子束蝕刻法所組成之族群中所選出的乾蝕刻形成的。

16.如申請專利範圍第12項所述之方法，其中上述深溝渠係以反應性離子蝕刻法形成的。

17.如申請專利範圍第12項所述之方法，其中上述步驟(c)至少包含一化學蝕刻劑之使用，該化學蝕刻劑對於移除上述光阻層具有高選擇性。

20. 18.如申請專利範圍第12項所述之方法，其中上述溝渠填充物質係一多晶矽、一氧化物及一氮化物。

19.如申請專利範圍第12項所述之方法，其中上述犧牲氧化層係以熱氧化法生成或是以沉積製程形成的。

20. 21.如申請專利範圍第12項所述之方法，其中上述步驟(k)係以一乾蝕刻製程或一濕蝕刻製程進行之。

21.如申請專利範圍第20項所述之方法，其中上述乾蝕刻製程至少包含應性離子蝕刻法、電漿蝕刻法及離子束蝕刻法。

22.如申請專利範圍第20項所述之方法，其中上述濕蝕刻製程至少包含熱磷酸之使用。

23.如申請專利範圍第12項所述之方法，其中上述溝渠係以一溝渠填充物質進行再填滿。

24.一種形成嵌入式邏輯動態隨機存取記憶體裝置之方法，該裝置具有位於絕緣層上含矽(silicon-on-insulator：SOI)中之溝渠，且該溝渠並未蝕刻至該SOI基板之埋入氧化層(buried oxide：BOX)中，該方法至少包含下列步驟：

- (a)提供一具有絕緣層於其上之矽基板，該矽基板更包含選定之陣列元件區域及選定之邏輯元件區域；
- (b)形成一光阻層於該絕緣層上；
- (c)提供一開口，該開口位於該光阻層及該選定之陣列元件區域中；
- (d)經由該開口蝕刻一溝渠至該矽基板中；
- (e)移除該光阻層；
- (f)以一溝渠填充物填滿該溝渠；
- (g)移除該絕緣層；
- (h)形成一犧牲氧化層於該矽基板上；
- (i)形成一連續之埋入氧化層於該矽基板中；
- (j)提供一平坦之結構；且
- (k)移除該溝渠中之該溝渠填充物及該埋入氧化層。

40.

緣層上含矽(silicon-on-insulator：SOI)中之溝渠，且該溝渠並未蝕刻至該SOI基板之埋入氧化層(buried oxide：BOX)中，該方法至少包含下列步驟：

- (a) 提供一具有絕緣層於其上之矽基板，該矽基板更包含選定之陣列元件區域及選定之邏輯元件區域；
- (b) 形成一光阻層於該絕緣層上；
- (c) 提供一開口，該開口位於該光阻層及該選定之陣列元件區域中；
- (d) 經由該開口蝕刻一溝渠至該矽基板中；
- (e) 移除該光阻層；
- (f) 形成一犧牲氧化層於該矽基板上以及該溝渠之底部；
- (g) 形成一不連續之埋入氧化層於鄰接該溝渠之該矽基板中，以及該溝渠下方；且
- (h) 移除該矽基板上及該溝渠中之該犧牲氧化層。

25.如申請專利範圍第24項所述之方法，
其中上述絕緣層係一氧化層或一氮化
層。

26.如申請專利範圍第24項所述之方法，
其中上述絕緣層及上述光阻層係以自
化學氣相沉積法、電漿輔助化學氣相
沉積法、濺鍍法及旋塗法所組成之族
群中所選出的沉積法所形成的。

27.如申請專利範圍第24項所述之方法，
其中上述開口係以自反應性離子蝕刻
法、電漿蝕刻法及離子束蝕刻法所組
成之族群中所選出的乾蝕刻法形成
的。

28.如申請專利範圍第24項所述之方法，其中上述深溝渠係以反應性離子蝕刻法形成的。

29.如申請專利範圍第24項所述之方法，其中上述步驟(e)至少包含一化學蝕刻劑之使用，該化學蝕刻劑對於移除上述光阻層具有高選擇性。

30.如申請專利範圍第24項所述之方法，其中上述犧牲氧化層係以熱氧化法生成或是以沉積製程形成的。

31.如申請專利範圍第24項所述之方法，其中上述步驟(h)係以一乾蝕刻製程或一濕蝕刻製程進行之。

32.如申請專利範圍第31項所述之方法，其中上述乾蝕刻製程至少包含應性離子蝕刻法、電漿蝕刻法及離子束蝕刻法。

33.如申請專利範圍第31項所述之方法，其中上述濕蝕刻製程至少包含熱磷酸之使用。

34.如申請專利範圍第24項所述之方法，其中上述溝渠係以一溝渠填充物質填滿。

圖式簡單說明：

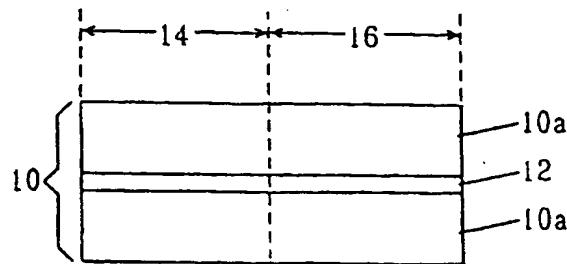
第一圖(a)- 第一圖(g)係本發明之第一方法的數個製程步驟，用以形成SOI嵌入式邏輯動態隨機存取記憶體元件。

第二圖(a)- 第二圖(h)係本發明之第二方法的數個製程步驟，用以形成SOI嵌入式邏輯動態隨機存取記憶體元件。

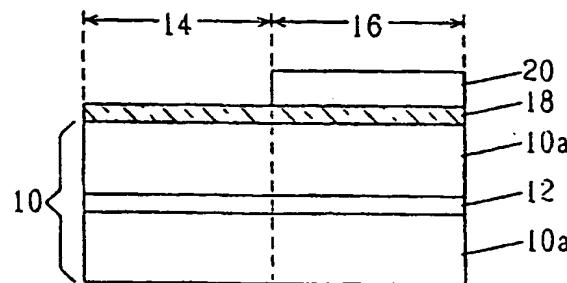
第三圖(a)- 第三圖(g)係本發明之第三方法的數個製程步驟，用以形成SOI嵌入式邏輯動態隨機存取記憶體元件。

(4)

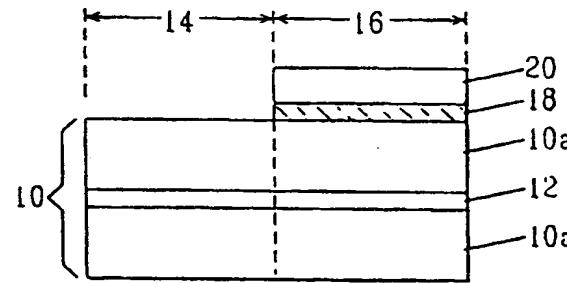
(a)



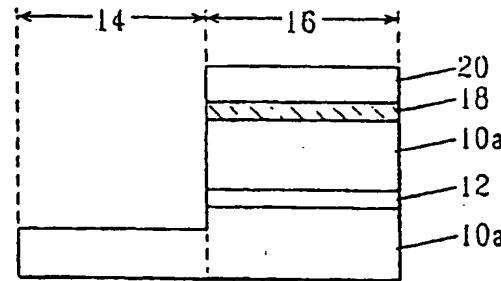
(b)



(c)

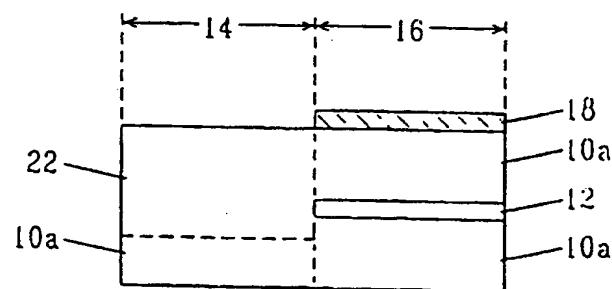


(d)

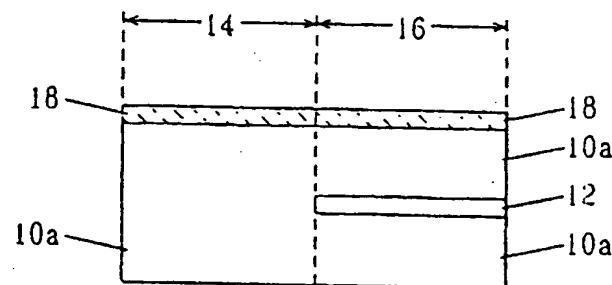


第一圖

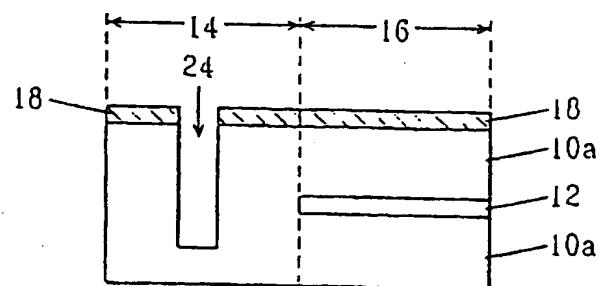
(e)



(f)

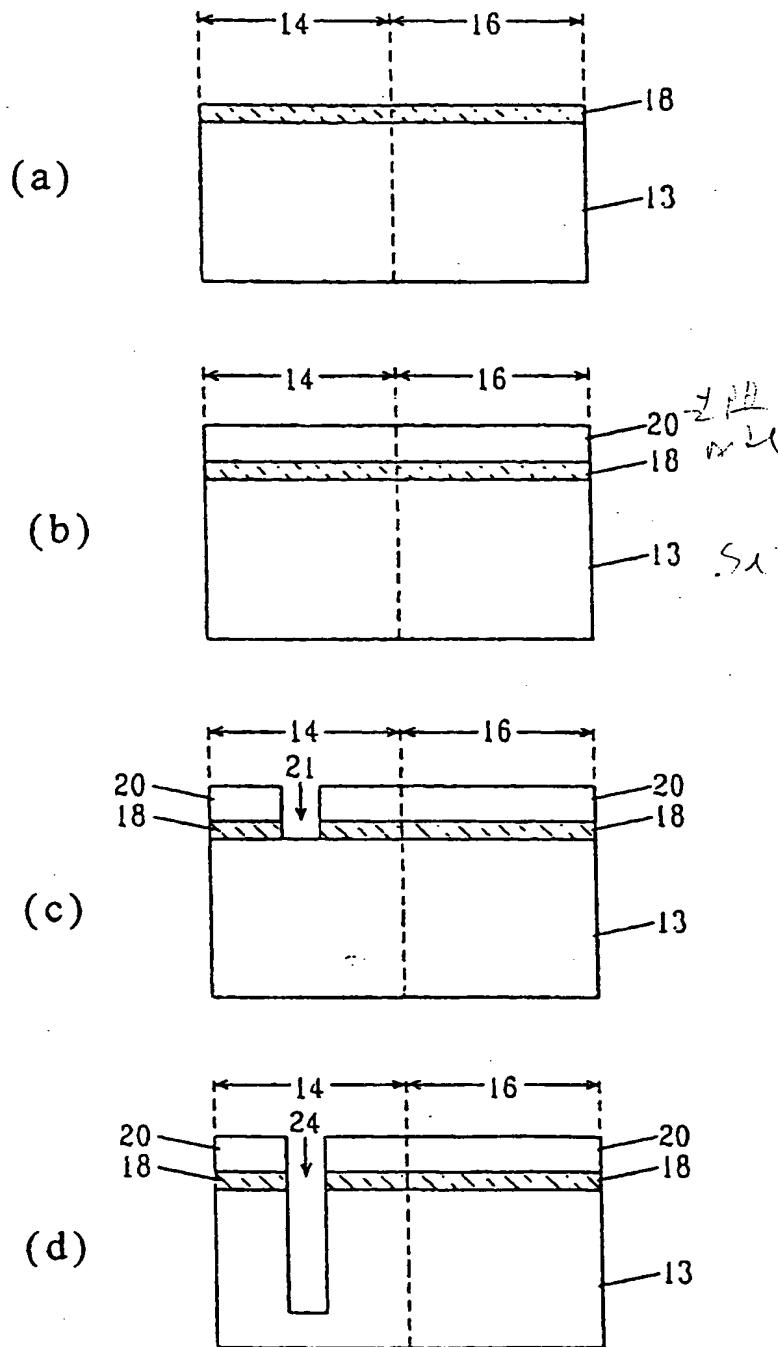


(g)

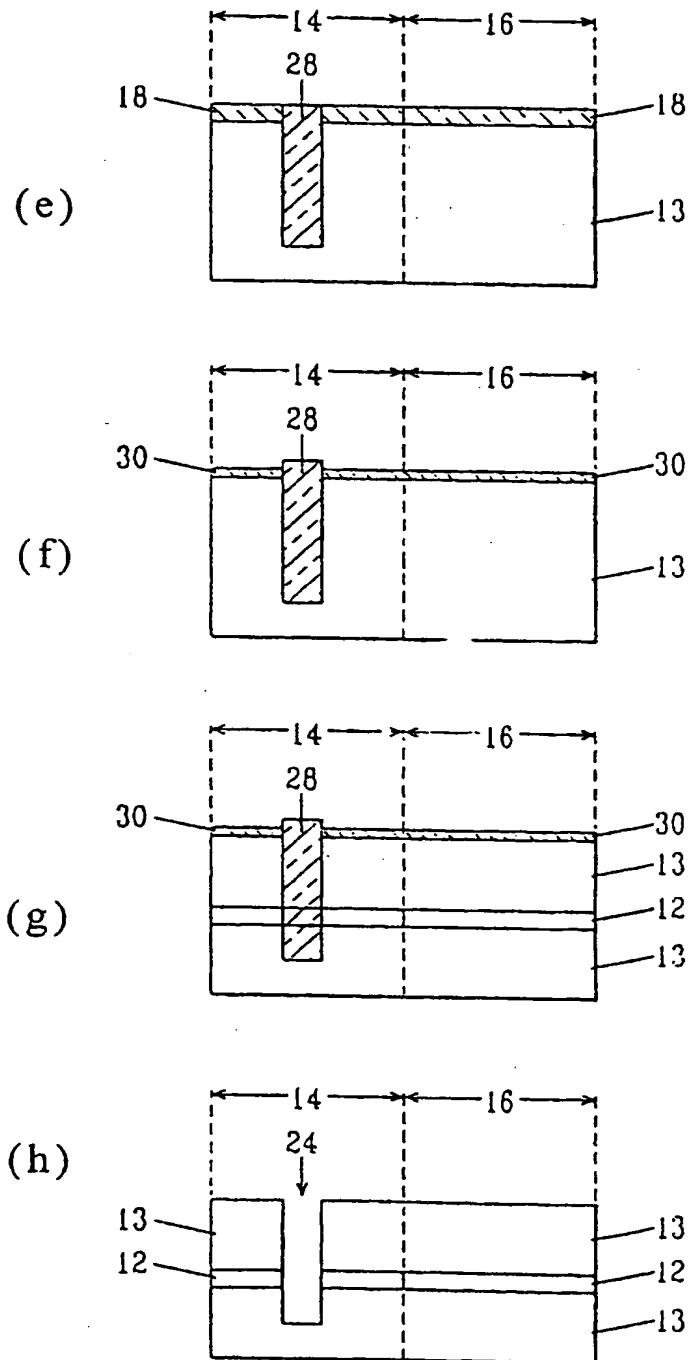


第一圖

(6)

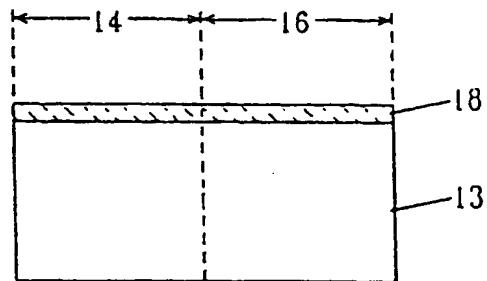


第二圖

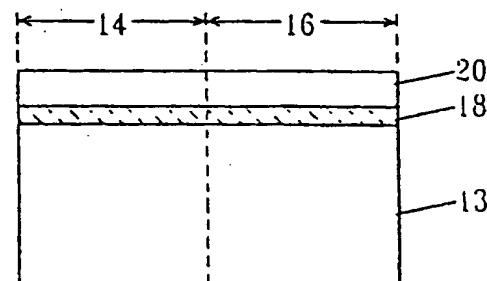


第二圖

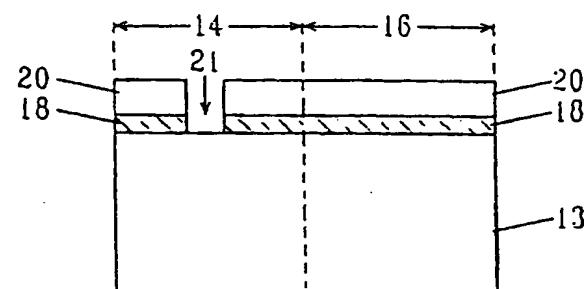
(a)



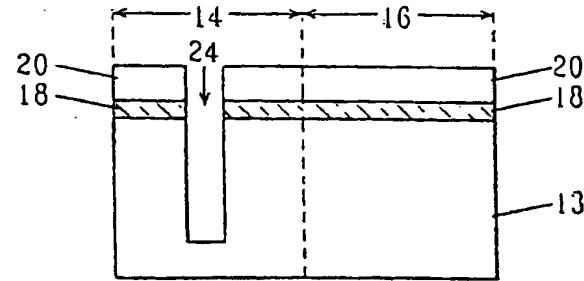
(b)



(c)

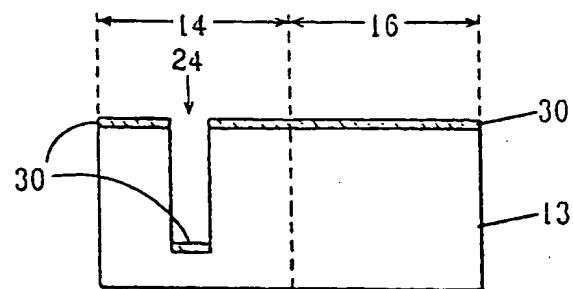


(d)

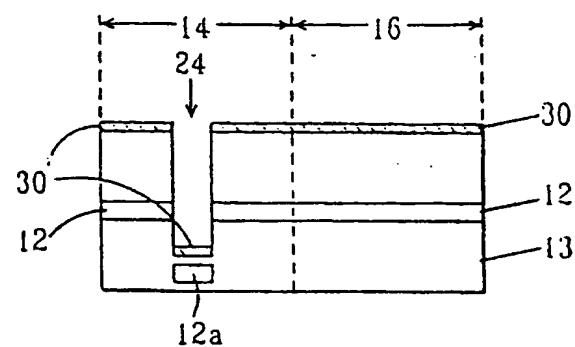


第三圖

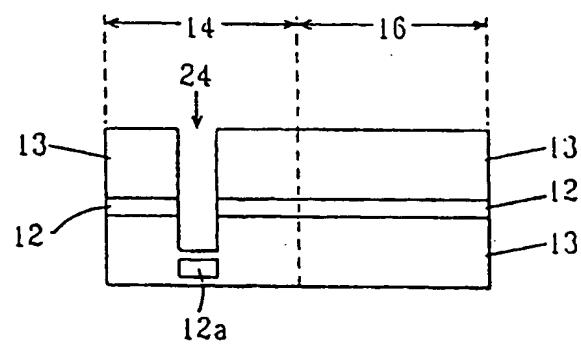
(e)



(f)



(g)



第三圖